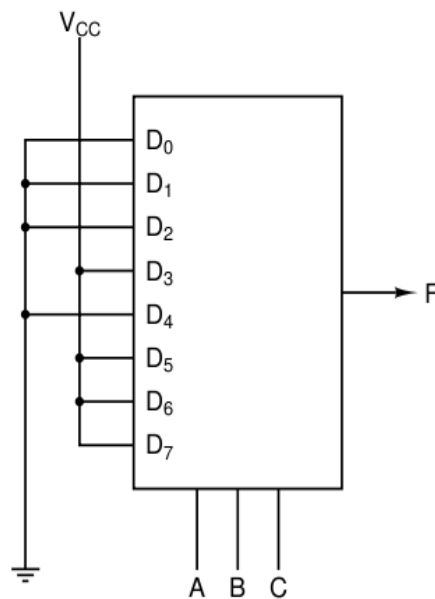


Επίπεδο Ψηφιακής Λογικής (The Digital Logic Level)

Ερωτήσεις Επανάληψης

- Ένας καθηγητής λογικής μπαίνει σε ένα εστιατόριο και λέει : “Θέλω ένα σάντουιτς ή ένα σουβλάκι και τηγανητές πατάτες”. Δυστυχώς, ο μάγειρας δεν είχε βγάλει το γυμνάσιο, και δεν ξέρει (ούτε θέλει να μάθει) αν έχει προτεραιότητα το “και” ή το “ή”. Όλες οι ερμηνείες του φαίνονται το ίδιο καλές. Ποίες από τις ακόλουθες περιπτώσεις είναι έγκυρες ερμηνείες της παραγγελίας; (Σημειώστε ότι στην φυσική γλώσσα το “ή” σημαίνει “αποκλειστικό ή”.)
 - Μόνο σάντουιτς.
 - Μόνο σουβλάκι.
 - Μόνο τηγανητές πατάτες.
 - Σουβλάκι και τηγανητές πατάτες.
 - Σάντουιτς και τηγανητές πατάτες.
 - Σουβλάκι και σάντουιτς.
 - Και τα τρία.
 - Τίποτα από τα παραπάνω.
- Ένας ιεραπόστολος που έχει χαθεί στην νότια Καλιφόρνια σταματά σε ένα σταυροδρόμι. Ξέρει ότι στην περιοχή υπάρχουν δύο συμμορίες μοτοσικλετιστών, από τις οποίες η μία λέει πάντα την αλήθεια και η άλλη λέει πάντα ψέματα. Θέλει να μάθει ποίος δρόμος οδηγεί στην Disneyland. Τι ερώτηση πρέπει να κάνει;
- Χρησιμοποιήστε έναν πίνακα αληθείας για να δείξετε ότι $P = (P \text{ AND } Q) \text{ OR } (P \text{ AND NOT } Q)$.
- Υπάρχουν τέσσερις συναρτήσεις Boole μίας μεταβλητής και 16 συναρτήσεις δύο μεταβλητών, Πόσες συναρτήσεις τριών μεταβλητών υπάρχουν; Πόσες συναρτήσεις n μεταβλητών;
- Δείξτε πώς μπορεί να κατασκευαστεί η συνάρτηση AND από δύο πύλες NAND.
- Χρησιμοποιώντας το τσιπ πολυπλέκτη τριών μεταβλητών της εικόνας 3-12, υλοποιήστε μία συνάρτηση που η έξοδος της είναι η ισοτιμία (parity) των εισόδων της, δηλαδή, η έξοδος είναι 1 εάν και μόνο εάν **άρτιος** αριθμός εισόδων είναι 1.

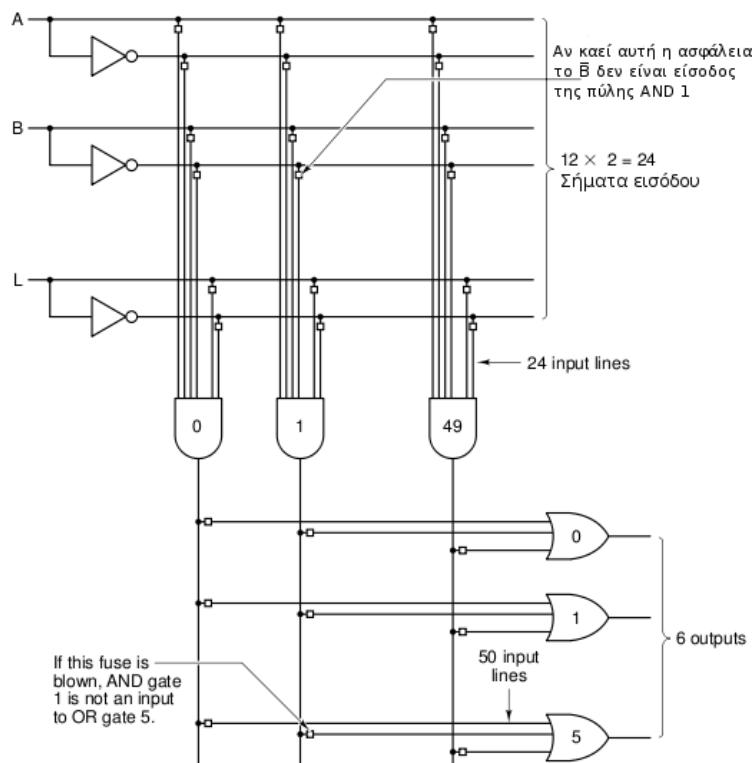


(b)

7. Βάλτε το μυαλό σας να δουλέψει. Το τσιπ πολυπλέκτη τριών μεταβλητών της εικόνας 3-12 μπορεί στην πραγματικότητα να υπολογίσει οποιαδήποτε συνάρτηση τεσσάρων μεταβλητών Boole. Περιγράψτε πώς, και δώστε ένα παράδειγμα, σχεδιάζοντας το λογικό διάγραμμα μιας συνάρτησης η οποία είναι 0 εάν ο αριθμός που αντιστοιχεί στη γραμμή του πίνακα αληθείας αντιστοιχεί σε λέξη με άρτιο αριθμό γραμμάτων και 1 εάν έχει περιττό αριθμό γραμμάτων (π.χ. 0000 = μηδέν = πέντε γράμματα => 1, 0111 = επτά = τέσσερα γράμματα => 0, 1101 = δεκατρία = οκτώ γράμματα => 0).
Υπόδειξη: Αν ονομάσουμε την τέταρτη μεταβλητή εισόδου D, οι οκτώ γραμμές εισόδου μπορούν να χρησιμοποιηθούν για να υλοποιηθούν σωστά τη τέταρτη μεταβλητή με τη βοήθεια της D του Vcc (1) και της γείωσης (0).
8. Σχεδιάστε το λογικό διάγραμμα ενός αποπολυπλέκτη των 2 bit, δηλαδή ενός κυκλώματος του οποίου η μοναδική γραμμή εισόδου οδηγείται σε μία από τις τέσσερις γραμμές εξόδου, ανάλογα με την κατάσταση των δύο γραμμών ελέγχου.
9. Σχεδιάστε το λογικό διαγράμματος κωδικοποιητή των 2 bit, δηλαδή ενός κυκλώματος με τέσσερις γραμμές εισόδου από τις οποίες ακριβώς μία είναι στην υψηλή κατάσταση οποιαδήποτε δεδομένη στιγμή, και με δύο γραμμές εξόδου των οποίων η δυαδική τιμή των 2 bit προσδιορίζει ποια είσοδος είναι στην υψηλή κατάσταση.
10. Ξανασχεδιάστε το PLA της εικόνας 3-15 με αρκετές λεπτομέρειες, για να δείξετε πως μπορεί να υλοποιηθεί η λογική συνάρτηση πλειοψηφίας της εικόνα 3-3. Ειδικότερα, φροντίστε να φανείτε ποιες συνδέσεις υπάρχουν και στα δύο μητρώα.

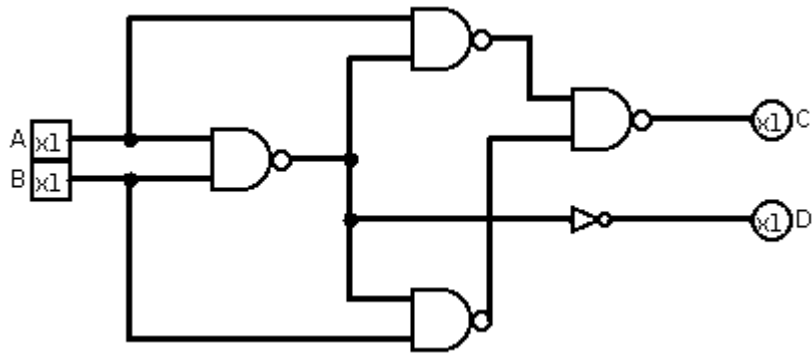
A	B	C	M
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

Εικόνα 3-3



Εικόνα 3-15

11. Τι κάνει το παρακάτω κύκλωμα;



12. Ένα κοινό τσιπ MSI είναι ένας αθροιστής των 4 bit. Τέσσερα τέτοια τσιπ μπορούν να συνδεθούν για να σχηματίσουν έναν αθροιστή των 16 bit. Πόσους ακροδέκτες νομίζετε ότι θα έχει το τσιπ αθροιστή των 4 bit; Γιατί;
13. Ένας αθροιστής των n bit μπορεί να κατασκευαστεί με επάλληλη τοποθέτηση n πλήρων αθροιστών σε σειρά, όπου το εισερχόμενο κρατούμενο του σταδίου i , το C_i , προέρχεται από την έξοδο του σταδίου $i-1$. Το εισερχόμενο κρατούμενο του σταδίου 0, το C_0 , είναι 0. Αν κάθε στάδιο χρειάζεται T nsec για να δώσει το άθροισμα και το κρατούμενο του το εισερχόμενο κρατούμενο του σταδίου i δεν θα είναι έγκυρο μέχρι να περάσουν iT nsec από την αρχή της πρόσθεσης. Για μεγάλα n , ο χρόνος που χρειάζεται για να διαδοθεί το κρατούμενο μέχρι το στάδιο υψηλής τάξης μπορεί να είναι απαράδεκτα μεγάλος. Σχεδιάστε ένα αθροιστή που να δουλεύει γρηγορότερα. Υπόδειξη: Κάθε C_i μπορεί να εκφραστεί ως συνάρτηση των bit-τελεστών A_{i-1} και B_{i-1} καθώς και του κρατούμενου C_{i-1} . Χρησιμοποιώντας αυτήν την σχέση, μπορείτε να εκφράσετε το C_i ως συνάρτηση των εισόδων των σταδίων από 0 έως $i-1$, ώστε όλα τα κρατούμενα να παράγονται ταυτόχρονα.
14. Αν όλες οι πύλες της εικόνας 3-19 έχουν καθυστέρηση μετάδοσης 1 nsec, και όλες οι άλλες καθυστερήσεις μπορούν να αγνοηθούν, ποιος είναι ο συντομότερος χρόνος στον οποίο ένα κύκλωμα που χρησιμοποιεί αυτόν τον σχεδιασμό θα έχει σίγουρα ένα έγκυρο bit εξόδου;

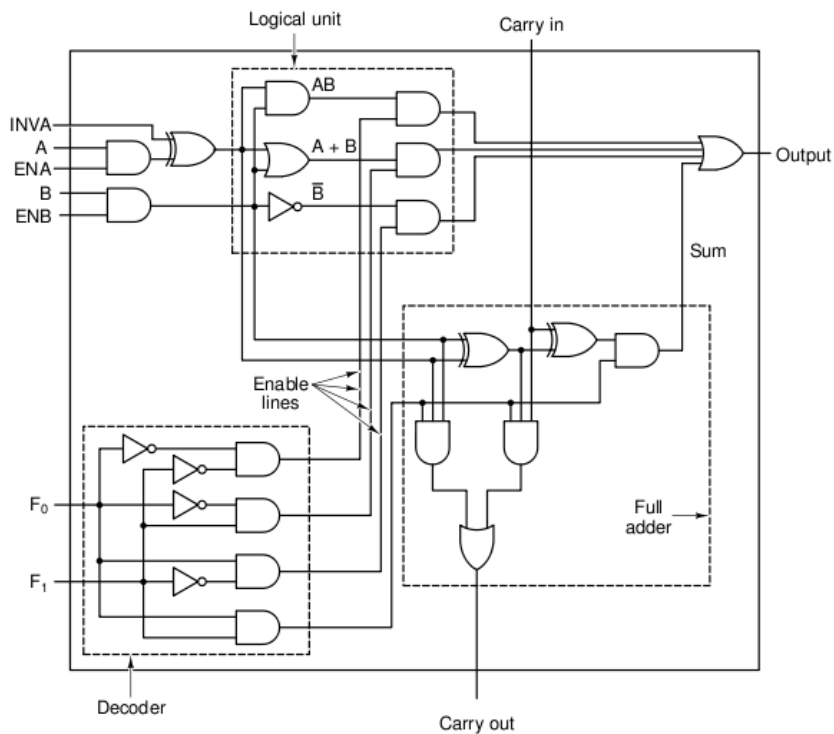
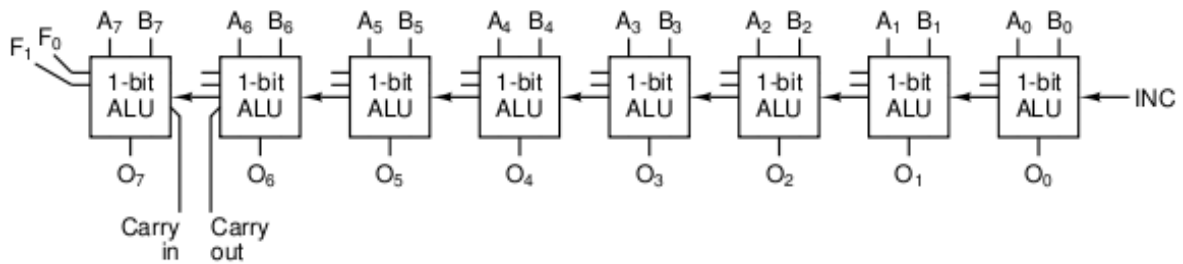


Figure 3-19. A 1-bit ALU.

15. Μερικές φορές, είναι χρήσιμο μία ALU των 8 bit, σαν εκείνη της εικόνας 3-20, να δίνει ως έξοδο την σταθερά -1. Βρείτε δύο διαφορετικούς τρόπους με τους οποίους μπορεί να γίνει αυτό. Για τον κάθε τρόπο, προσδιορίστε τις τιμές των έξι σημάτων ελέγχου.



16. Μία ALU των 16 bit αποτελείται από 16 ALU του 1 bit, κάθε μία από τις οποίες έχει χρόνο πρόσθεσης 10 nsec. Αν υπάρχει μία πρόσθετη καθυστέρηση 1 nsec για διάδοση από την κάθε ALU στην επόμενη, πόσος χρόνος χρειάζεται για να εμφανιστεί το αποτέλεσμα μίας πρόσθεσης των 16 bit;
17. Ποία είναι η κατάσταση ηρεμίας των εισόδων S και R ενός κυκλώματος μανδάλωσης SR που αποτελείται από δύο πύλες NAND;
18. Το κύκλωμα της εικόνας 3-26 είναι ένα δισταθές κύκλωμα που ενεργοποιείται στην ακμή ανόδου του παλμού του ρολογιού. Τροποποιήστε για να δημιουργήσετε ένα δισταθές κύκλωμα που να ενεργοποιείται στην ακμή καθόδου.

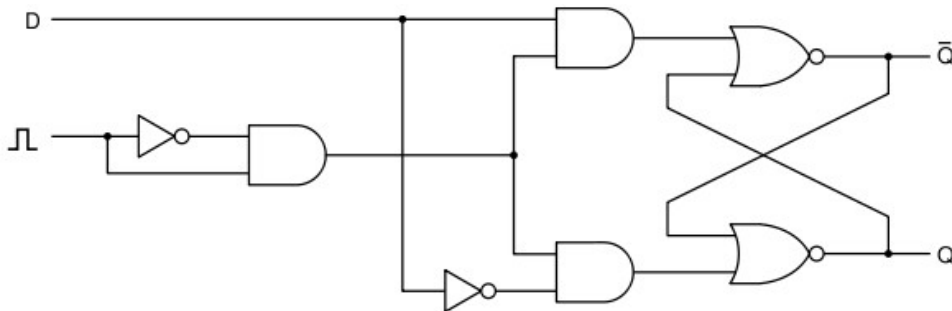
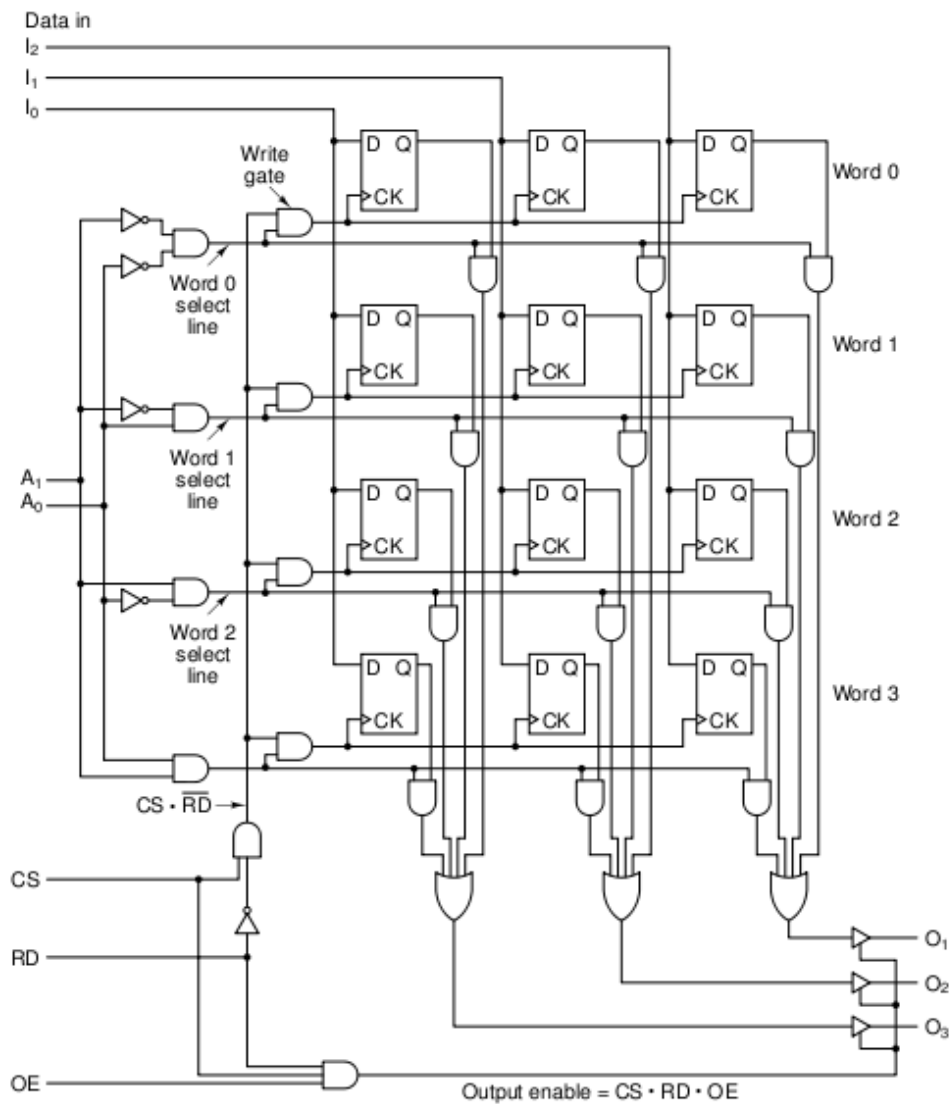
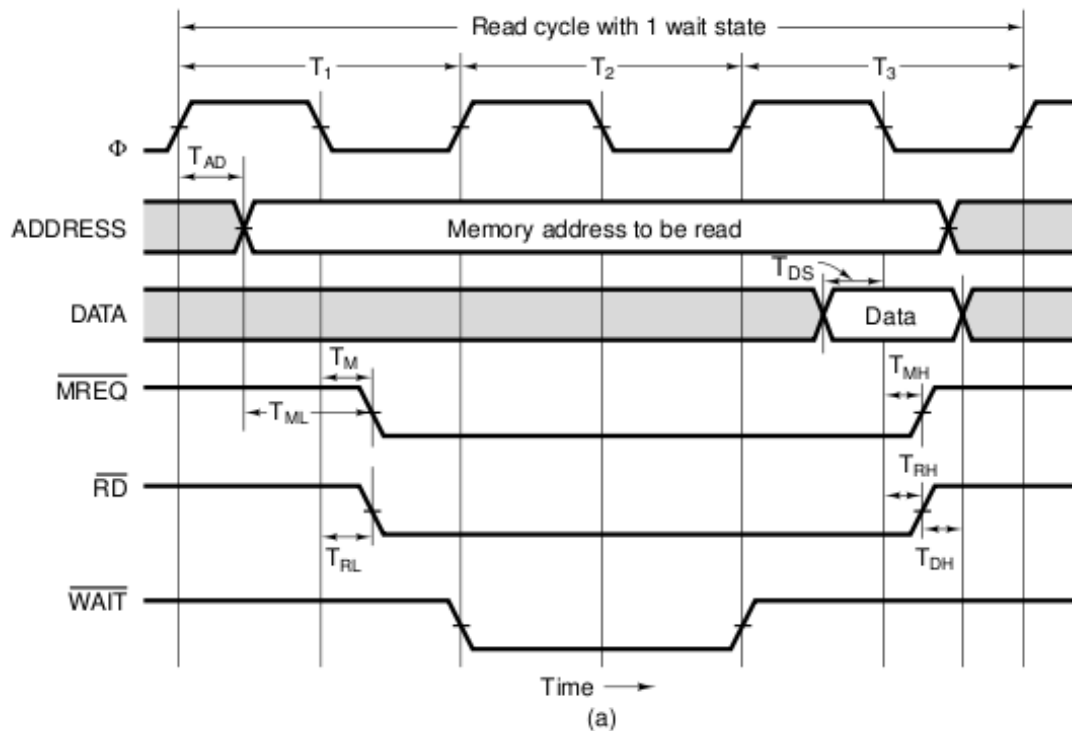


Figure 3-26. A D flip-flop.

19. Για να πληρώσετε τις δόσεις του καινούργιου σας προσωπικού υπολογιστή, κάνετε το σύμβουλο για νέους κατασκευαστές τσιπ SSI. Ένας από τους πελάτες σας, σκέφτεται να κυκλοφορήσει ένα τσιπ που θα περιέχει τέσσερα δισταθή κύκλωμα D, το κάθε ένα με γραμμές Q και \bar{Q} , κατ' απαίτηση ενός σημαντικού υποψήφιου πελάτη του. Ο προτεινόμενος συνδυασμός έχει και τα τέσσερα σήματα ρολογιού συνδεδεμένα μαζί, επίσης κατ' απαίτηση του πελάτη. Δεν υπάρχει ούτε γραμμή φόρτισης (preset) ούτε γραμμή καθαρισμού (clear). Η δουλειά σας είναι να κάνετε μια επαγγελματική αξιολόγηση του σχεδιασμού.
20. Η μνήμη 4 x 3 της εικόνας 3-29 χρησιμοποιεί 22 πύλες AND και τρεις πύλες OR. Πόσες πύλες από το κάθε είδος χρειάζονται για να επεκταθεί το κύκλωμα σε 256 x 8;



21. Καθώς τοποθετείται όλο και περισσότερο μνήμη σε ένα τσιπ, ο αριθμός των ακροδεκτών που χρειάζονται για την διευθυνσιοδότηση της αυξάνεται. Συχνά, δεν είναι βολικό να υπάρχουν πάρα πολλοί ακροδέκτες διευθύνσεων σε ένα τσιπ. Επινοήστε ένα τρόπο για να απευθύνεστε σε 2^n λέξεις μνήμης χρησιμοποιώντας λιγότερους από n ακροδέκτες.
22. Ένας υπολογιστής με δίαυλο δεδομένων εύρους 32 bit χρησιμοποιεί τσιπ δυναμικής μνήμης RAM $1M \times 1$. Πόση είναι η μικρότερη μνήμη που μπορεί να έχει αυτός ο υπολογιστής;
23. Στο διάγραμμα χρονισμού της εικόνας 3-37, ας υποθέσουμε ότι επιβραδύνουμε το ρολόι ώστε να έχει περίοδο 40 nsec αντί 25 nsec, αλλά οι περιορισμοί του χρονισμού παραμένουν αμετάβλητοι. Πόσο χρόνο θα έχει η μνήμη για να τοποθετήσει τα δεδομένα στο δίαυλο κατά τον κύκλο T_3 αφού γίνει θετικό το \overline{MREQ} , στη χειρότερη περίπτωση;



Symbol	Parameter	Min	Max	Unit
T_{AD}	Address output delay		11	nsec
T_{ML}	Address stable prior to \overline{MREQ}	6		nsec
T_M	\overline{MREQ} delay from falling edge of Φ in T_1		8	nsec
T_{RL}	\overline{RD} delay from falling edge of Φ in T_1		8	nsec
T_{DS}	Data setup time prior to falling edge of Φ	5		nsec
T_{MH}	\overline{MREQ} delay from falling edge of Φ in T_3		8	nsec
T_{RH}	\overline{RD} delay from falling edge of Φ in T_3		8	nsec
T_{DH}	Data hold time from negation of \overline{RD}	0		nsec

(b)

3-37

24. Και πάλι στην εικόνα 3-37, ας υποθέσουμε ότι το ρολόι παραμένει στα 40 Mhz, αλλά το T_{DS} αυξάνεται στα 16 nsec. Θα μπορούσαν πάλι να χρησιμοποιηθούν τσιπ μνήμης των 40 nsec;
25. Υποθέστε ότι η μεταφορά ενότητας (block transfer) της εικόνας 3-41 γίνεται πάνω στο δίαυλο της εικόνας 3-37. Πόσο μεγαλύτερο εύρος ζώνης θα έχουμε αν χρησιμοποιήσουμε μεταφορά ενότητας αντί για μεμονωμένες μεταφορές για τις μεγάλες ενότητες; Υποθέστε τώρα ότι ο δίαυλος έχει εύρος 32 bit αντί 8 bit. Απαντήστε πάλι στην ίδια ερώτηση.

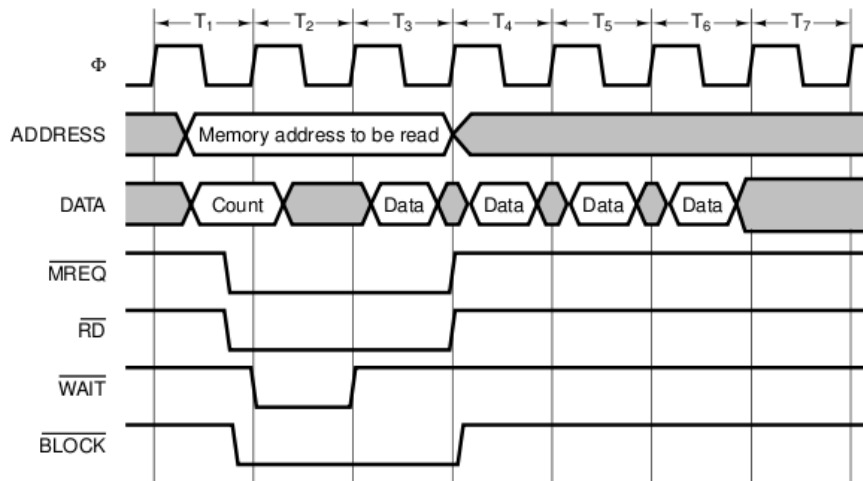


Figure 3-41. A block transfer.

26. Οι περισσότεροι δίαυλοι των 32 bit επιτρέπουν αναγνώσεις και εγγραφές των 16 bit. Υπάρχει καμία ασάφεια σχετικά με το που θα τοποθετηθούν τα δεδομένα; Επιχειρηματολογήστε.
27. Πολλές CPU έχουν έναν ειδικό τύπο κύκλου διαύλου για επιβεβαίωση των διακοπών. Γιατί;
28. Ένας 64-bit υπολογιστής με 200 Mhz δίαυλο χρειάζεται τέσσερις κύκλους για να διαβάσει μία λέξη 64-bit. Πόσο εύρος ζώνης του διαύλου καταναλώνει η CPU;